



U.S. 91074

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 09 日
Application Date

申請案號：091120511
Application No.

申請人：中華映管股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 24 日
Issue Date

發文字號：09220621500
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	薄膜電晶體源極/汲極結構與形成方法
	英文	THIN FILM TRANSISTOR SOURCE/DRAIN STRUCTURE AND MANUFACTURING METHOD THEREOF
二、 發明人	姓名 (中文)	1. 李育舟 2. 鄭琮錡
	姓名 (英文)	1. 90120778 2. Tsung-Chi CHENG
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 臺北縣樹林市中華路150之5號10樓 2. 臺中市建成路1185號
三、 申請人	姓名 (名稱) (中文)	1. 中華映管股份有限公司
	姓名 (名稱) (英文)	1. Chunghwa Picture Tubes, Ltd.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 344桃園縣八德市大湳里和平路1127號
代表人 姓名 (中文)	1. 林鎮源	
	代表人 姓名 (英文)	1. Cheng-Yuan LIN

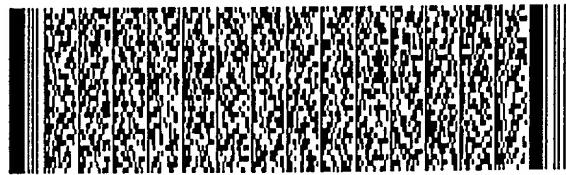


四、中文發明摘要 (發明之名稱：薄膜電晶體源極/汲極結構與形成方法)

本發明揭露了一種薄膜電晶體源極 / 汲極結構與形成方法。此薄膜電晶體源極 / 汲極結構利用三明治結構以降低源極 / 汲極電阻率與提升可靠度。三明治結構中以鋁鈮氮合金 / 鋁鈮合金 (源極 / 汲極) / 鋁鈮氮合金三明治結構為佳。鋁鈮氮合金係用作為緩衝層或擴散阻障層，用以防止鋁鈮合金層與非晶矽間擴散互溶並造成 spiking 現象而影響元件的可靠性。而另一鋁鈮氮合金層係用作為黏著層 (Glue Layer)，用以保護鋁鈮合金使其免於被過度蝕刻與源極的電子遷移現象，並且可防止鋁鈮合金與後續形成之 ITO 導電玻璃直接接觸而產生原子交互作用並影響元件的可靠性。

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR SOURCE/DRAIN STRUCTURE AND MANUFACTURING METHOD THEREOF)

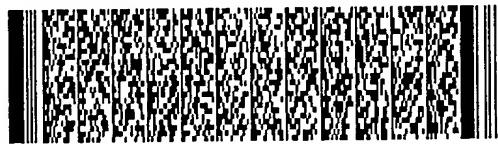
A thin film transistor source/drain structure and the manufacturing method thereof are disclosed. The thin film transistor source/drain structure uses a sandwich structure to reduce the resistivity of the source/drain and upgrade the reliability. The sandwich structure preferably comprises a structure of AlNdN alloy/ AlNd alloy/AlNdN alloy. The AlNdN alloy is used as a buffer layer or a diffusion barrier to prevent the AlNd alloy and an amorphous silicon layer from



四、中文發明摘要 (發明之名稱：薄膜電晶體源極/汲極結構與形成方法)

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR SOURCE/DRAIN STRUCTURE AND MANUFACTURING METHOD THEREOF)

diffusing into each other. The other AlNdN alloy is used as a glue layer and to protect the AlNd alloy from being over-etched. The other AlNdN alloy can also prevent the AlNd alloy and the following formed ITO from contact and interaction.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

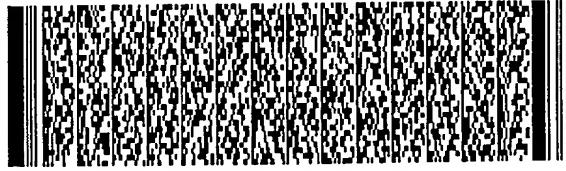
5-1 發明領域：

本發明係關於一種薄膜電晶體源極 / 沖極結構與形成方法，特別是有關於一種具有三明治結構之薄膜電晶體源極 / 沖極與形成方法。

5-2 發明背景：

消費性或資訊電子產品對於具有高解析度之顯示器的需求不斷地驅使液晶顯示器產業的技術發展。液晶顯示器的尺寸可藉由引用超大型積體電路技術製造驅動電路於液晶顯示器周邊或直接進入液晶顯示器內來控制。將外部配置的驅動電路移入液晶顯示器內可減少液晶顯示器周邊尺寸、製程複雜度、製程步驟以及液晶顯示器的成本。

薄膜電晶體是液晶顯示器的基本元件，也是液晶顯示器必須持續不斷改良的元件。薄膜電晶體通常係製作於一透光的底材上，例如石英、玻璃或甚至塑膠上。薄膜電晶體主要係用作為使液晶顯示器像素驅動開關。提高薄膜電晶體之電子傳遞速率 (Electron Mobility) 為改良薄膜電晶體的重要課題，因為提高薄膜電晶體之電子傳遞速率即可提升薄膜電晶體的開關速度。具有高電子傳遞速率之薄膜電晶體可使液晶顯示器螢幕尺寸易於控制、所消耗的功率降低及薄膜電晶體反應時間縮短。同時為了進一步提



五、發明說明 (2)

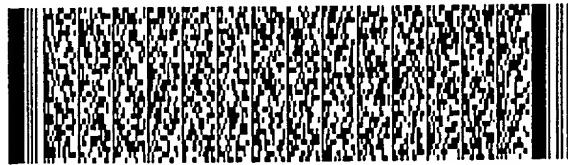
高液晶顯示器螢幕解析度，製作於透光的底材上的薄膜電晶體必須具備與製作於螢幕邊緣的驅動電路接近的電子傳遞速率。也就是說，整個螢幕的電晶體包含螢幕的薄膜電晶體與驅動電路的電晶體必須具備大致相同的性能表現。

對於大面板尺寸高解析度的液晶顯示器而言，薄膜電晶體之 RC(Resistance and Capacitance) 延遲時間必須更低，也就是薄膜電晶體的電阻越低越好。由於液晶顯示器製程較特殊，薄膜電晶體的源極與汲極的製程與所用材料比傳統積體電路中電晶體的源極與汲極的製程與所用材料更加關鍵。傳統薄膜電晶體的源極與汲極所使用的材料仍不能滿足大面板尺寸高解析度的液晶顯示器。舉例來說，常用的源極與汲極材料為鉻，其電阻率高達約 18微歐姆 ($\mu\Omega$)，顯然不符大面板尺寸高解析度的液晶顯示器的要求，有進一步改進的必要。

有鑑於上述的問題，因此非常有必要提出一種新穎的薄膜電晶體源極 / 汲極結構與形成方法，使得上述傳統薄膜電晶體的源極與汲極的問題能被解決，而這正是本發明提出的目的。

5-3發明目的及概述：

本發明之一目的為提供一種具有三明治結構之低電阻



五、發明說明 (3)

率薄 膜電晶體 源極 /汲極。

本發明之又一目的為提供一種新穎可靠的薄 膜電晶體 源極 /汲極結構。

本發明之另一目的為提供一種低成本高效率的薄 膜電晶體 源極 /汲極結構與形成方法。

為了達成上述之目的，本發明提出一種薄 膜電晶體結構，該薄 膜電晶體結構包含一透明絕緣底材、一導體閘極、一半導體層於該介電層上、一第一半導體層於該第二半導體層上、一第二半導體層於該第三半導體層上。導體一層具有薄膜電晶體之源極 /汲極。

形成本發明薄 膜電晶體結構的方法，則包含下列步驟。首先提供一底材，該底材上具有一導體閘極、一介電層覆蓋該導體閘極、一第一半導體層於該介電層上與一第二半導體層於該第一半導體層上，該第二半導體層為薄膜電晶體之通道。接著沈積一第一導體層覆蓋該第二半導體層



五、發明說明 (4)

、該第一半導體層與該介電層。然後沈積一第二導體層覆蓋該第一導體層。接著沈積一第三導體層覆蓋該第二導體層。最後轉移一開口圖案至該第三導體層、該第二導體層、該第一導體層與該第二半導體層以暴露出該第一半導體層。

上述有關發明的簡單說明及以下的詳細說明僅為範例並非限制。其他不脫離本發明之精神的等效改變或修飾均應包含在的本發明的專利範圍之內。

5-4 發明的詳細說明：

在此必須說明的是以下描述之製程步驟及結構並不包含完整之製程。本發明可以藉各種積體電路製程技術來實施，在此僅提及瞭解本發明所需之製程技術。

以下將根據本發明所附圖示做詳細的說明，請注意圖示均為簡單的形式且未依照比例描繪，而尺寸均被誇大以利於瞭解本發明。

參考第一 A圖所示，顯示一具有一導體層 102、一介電層 104於其上之底材 100。底材 100包含透光底材例如石英與玻璃。導體層 102包含一金屬層，此金屬層以鋁鎵氮合金 (AlNdN) 或鋁鎵合金 (AlNd) 較佳。導體層 102以物理

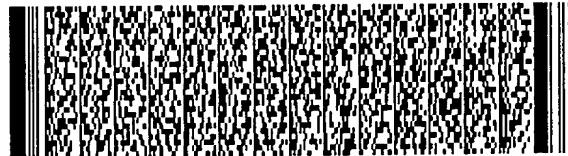


五、發明說明 (5)

氣相沈積法沈積較佳，尤其是濺鍍法 (Sputtering)。以鋁鎵氮合金為例，使用鋁鎵合金作為濺鍍靶材，以氬 (Argon)離子加速轟擊鋁鎵合金靶材並同時通入氮氣，將鋁鎵氮合金沈積於底材 100 上。若欲形成鋁鎵合金於底材 100 上，則亦使用鋁鎵合金作為濺鍍靶材，以氬 (Argon)離子加速轟擊鋁鎵合金靶材，將鋁鎵合金沈積於底材 100 上。為了形成所需的圖案，必須利用微影與蝕刻製程將導體層 102 蝕刻形成如第一 A 圖所示之圖案。介電層 104 包含一氮化矽層，此氮化矽層以電漿輔助化學氣相沈積法沈積較佳。導體層 102 係用作為薄膜電晶體閘極。

參考第一 B 圖所示，顯示一半導體層 106 與一半導體層 108 依序形成於介電層 104 上。半導體層 106 以一氫化非晶矽層 (Hydrogenated Amorphous Silicon) 較佳，此氫化非晶矽層以電漿輔助化學氣相沈積法沈積較佳。半導體層 108 以一 N 型非晶矽層較佳，此 N 型非晶矽層以電漿輔助化學氣相沈積法沈積較佳。為了形成所需的圖案，必須利用微影與蝕刻製程將半導體層 106 與半導體層 108 蝏刻形成如第一 B 圖所示之圖案。

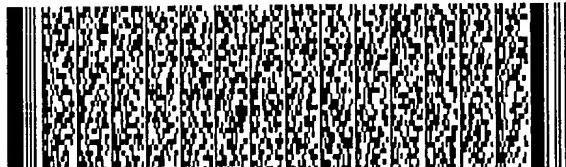
參考第一 C 圖所示，顯示一導體層 110、一導體層 112 與一導體層 114 依序形成於第一 B 圖所示之結構上。此導體層 110 包含一金屬層，此金屬層以一鋁鎵氮合金 ($AlNdN$)，此導體層 110 以物理氣相沈積法沈積較佳，尤其是濺鍍



五、發明說明 (6)

法。以鋁鈦氮合金為例，使用鋁鈦合金作為濺鍍靶材，以氬離子加速轟擊鋁鈦合金靶材並同時通入氮氣，將鋁鈦氮合金沈積於第一B圖所示之結構上。而導體層110的厚度以約350埃較佳。導體層112包含一金屬層，此金屬層以一鋁鈦合金(AlNd)較佳，此導體層112以物理氣相沈積法沈積較佳，尤其是濺鍍法。導體層112的厚度以約2500埃較佳。導體層114包含一金屬層，此金屬層以一鋁鈦氮合金(AlNdN)較佳，此導體層114以物理氣相沈積法沈積較佳，特別是濺鍍法。以鋁鈦氮合金為例，使用鋁鈦合金作為濺鍍靶材，以氬離子加速轟擊鋁鈦合金靶材並同時通入氮氣。而導體層114的厚度以約350埃較佳。上述導體層112係用作為薄膜電晶體之源極/汲極，而導體層110係用作為緩衝層或擴散阻障層，用以防止導體層112與半導體層108間擴散互溶並造成spiking現象而影響元件的可靠性。而導體層114係用作為黏著層(Glue Layer)，用以保護導體層112使其免於被過度蝕刻同時避免源極的電子遷移現象，並且可防止導體層112與後續形成之ITO導電玻璃直接接觸而產生原子交互作用並影響元件的可靠性。此外，導體層110、導體層112與導體層114可由物理氣相沈積法於同一製程室中形成。

參考第一D圖所示，顯示導體層110、導體層112、導體層114與半導體層106被以傳統之微影與蝕刻製程蝕刻以暴露出半導體層108的結果。與傳統薄膜電晶體源極/汲極



五、發明說明 (7)

結構與形成方法相較，本發明利用鋁鎵氮合金 / 鋁鎵合金 / 鋁鎵氮合金三明治結構作為薄膜電晶體源極 / 沖極具有可靠度高與低電阻率的優點。鋁鎵合金的電阻率為約 4微歐姆 ($\mu\Omega$)，比傳統的源極與沖極材料鉻高達約 18微歐姆電阻率低甚多，因此 RC 延遲時間可大幅降低，因此可應用於大面板尺寸（例如 20吋以上）高解析度的液晶顯示器製程。此外，由於薄膜電晶體之間極、源極 / 沖極所用較佳材料均為鋁鎵合金，因此製程可簡化而成本可降低。

上述有關發明的詳細說明僅為範例並非限制。其他不脫離本發明之精神的等效改變或修飾均應包含在的本發明的專利範圍之內。



圖式簡單說明

圖式的簡單說明：

為了能讓本發明上述之其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第一 A圖顯示一具有一導體層、一介電層於其上之底材；

第一 B圖顯示依序形成兩導體層於第一 A圖所示之介電層上的結果；

第一 C圖顯示依序形成三導體層於第一 B圖所示之結構上的結果；及

第一 D圖顯示第一 C圖所示之三導體層與半導體層被蝕刻以暴露出另一半導體層的結果。

主要部分之代表符號：

100底材

102導體層

104介電層

106半導體層

108半導體層



圖式簡單說明

110導體層

112導體層

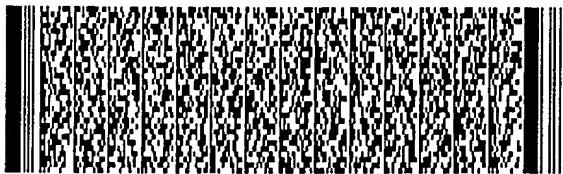
114導體層



六、申請專利範圍

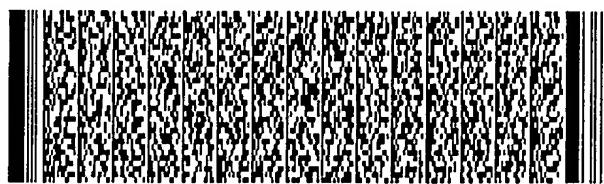
申請專利範圍：

1. 一種薄膜電晶體結構，該薄膜電晶體結構至少包含：
一透明絕緣底材；
一導體閘極於該透明絕緣底材上；
一介電層覆蓋該導體閘極；
一半導體層於該介電層上；
第二半導體層於該第一半導體層上，該第二半導體層為
薄膜電晶體之通道；
第一導體層於該第二半導體層上；
第二導體層於該第一導體層上；及
第三導體層於該第二導體層上，其中該第二半導體層、
該第一導體層、該第二導體層與該第三導體層具有一開口
以暴露出該第一半導體層，而該第二導體層為薄膜電晶體
之源極 / 沖極。
2. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中上
述之該導體閘極包含一鋁鎵合金閘極。
3. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中上
述之該介電層包含一氮化矽層。
4. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中上
述之該第一半導體層包含一氮化非晶矽層。



六、申請專利範圍

- 5.如申請專利範圍第1項所述之薄膜電晶體結構，其中上述之該第二半導體層包含一N型非晶矽層。
- 6.如申請專利範圍第1項所述之薄膜電晶體結構，其中上述之該第一導體層阻止該第二導體層與該第二半導體層間擴散互溶。
- 7.如申請專利範圍第1項所述之薄膜電晶體結構，其中上述之該第三導體層作為一黏著層並保護該第二導體層使其免於被過度蝕刻。
- 8.一種薄膜電晶體結構，該薄膜電晶體結構至少包含：
一 透明絕緣底材；
一 導體開極於該透明絕緣底材上；
一 介電層覆蓋該導體開極；
一 第一半導體層於該介電層上；
一 第二半導體層於該第一半導體層上，該第二半導體層為薄膜電晶體之通道；
一 第一鋁鈦氮合金層於該第二半導體層上；
一 鋁鈦合金層於該第一鋁鈦氮合金層上；及
一 第二鋁鈦氮合金層於該鋁鈦合金層上，其中該第二半導體層、該第一鋁鈦氮合金層、該鋁鈦合金層與該第二鋁鈦氮合金層具有一開口以暴露出該第一半導體層，而該鋁鈦



六、申請專利範圍

合金層為薄膜電晶體之源極 / 沖極。

9. 如申請專利範圍第 8 項所述之薄膜電晶體結構，其中上述之該第一鋁鎵氮合金的厚度以約 350 埃較佳。

10. 如申請專利範圍第 8 項所述之薄膜電晶體結構，其中上述之該鋁鎵合金層的厚度以約 2500 埃較佳。

11. 如申請專利範圍第 8 項所述之薄膜電晶體結構，其中上述之該第二鋁鎵氮合金的厚度以約 350 埃較佳。

12. 一種薄膜電晶體結構的形成方法，該薄膜電晶體結構的形成方法至少包含下列步驟：

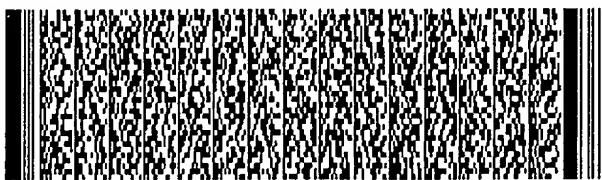
提供一底材，該底材上具有一導體閘極、一介電層覆蓋該導體閘極、一第一半導體層於該介電層上與一第二半導體層於該第一半導體層上，該第二半導體層為薄膜電晶體之通道；

沈積一第一導體層覆蓋該第二半導體層、該第一半導體層與該介電層；

沈積一第二導體層覆蓋該第一導體層；

沈積一第三導體層覆蓋該第二導體層；及

轉移一開口圖案至該第三導體層、該第二導體層、該第一導體層與該第二半導體層以暴露出該第一半導體層。



六、申請專利範圍

13. 如申請專利範圍第12項所述之薄膜電晶體結構的形成方法，其中上述之該第一導體層、該第二導體層與該第三導體層係由物理氣相沈積法於同一製程室中形成。

14. 一種薄膜電晶體結構的形成方法，該薄膜電晶體結構的形成方法至少包含下列步驟：

提供一底材，該底材上具有一導體開極、一介電層覆蓋該導體開極、一第一半導體層於該介電層上與一第二半導體層於該第一半導體層上，該第二半導體層為薄膜電晶體之通道；

沈積一第一鋁鎵氮合金層覆蓋該第二半導體層、該第一半導體層與該介電層；

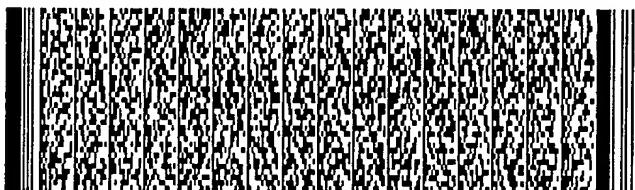
沈積一鋁鎵合金層覆蓋該第一導體層；

沈積一第二鋁鎵氮合金層覆蓋該第二導體層；及

轉移一開口圖案至該第二鋁鎵氮合金層、該鋁鎵合金層、該第一鋁鎵氮合金層與該第二半導體層以暴露出該第一半導體層。

15. 如申請專利範圍第14項所述之薄膜電晶體結構的形成方法，其中上述之該第一鋁鎵氮合金層與該第二鋁鎵氮合金層係以鋁鎵合金作為濺鍍靶材，以氬離子加速轟擊鋁鎵合金靶材並同時通入氮氣而形成。

16. 如申請專利範圍第14項所述之薄膜電晶體結構的形成

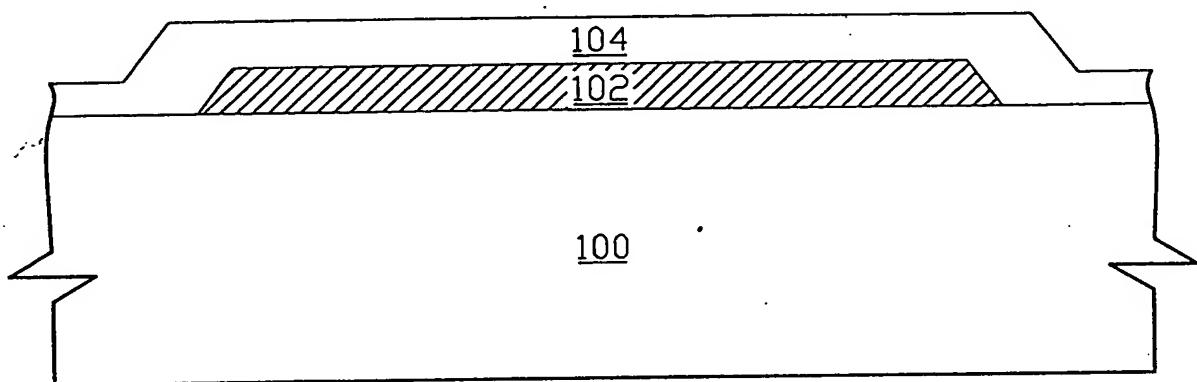


六、申請專利範圍

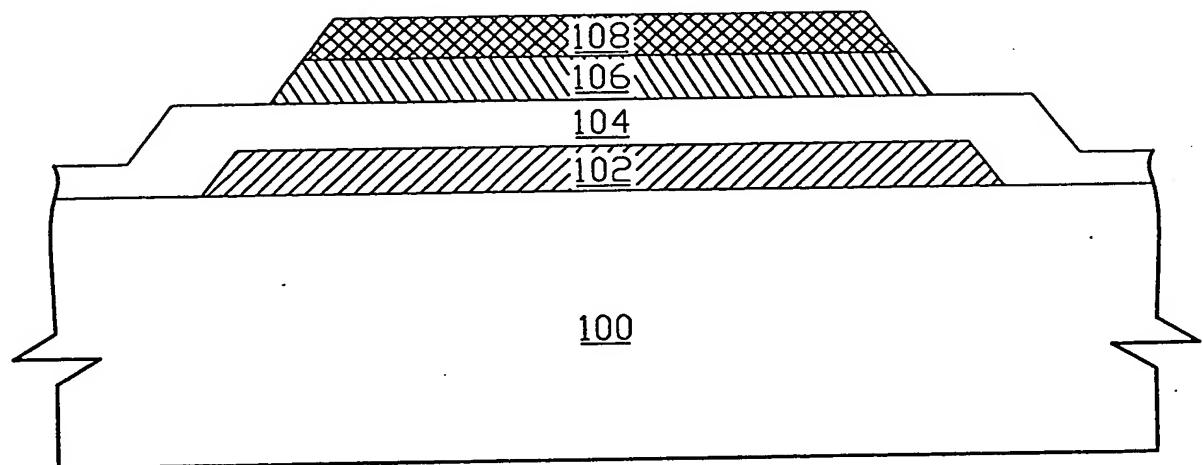
方法，其中上述之該鋁鎵合金層係以鋁鎵合金作為濺鍍靶材，以氬離子加速轟擊鋁鎵合金靶材而形成。



圖式

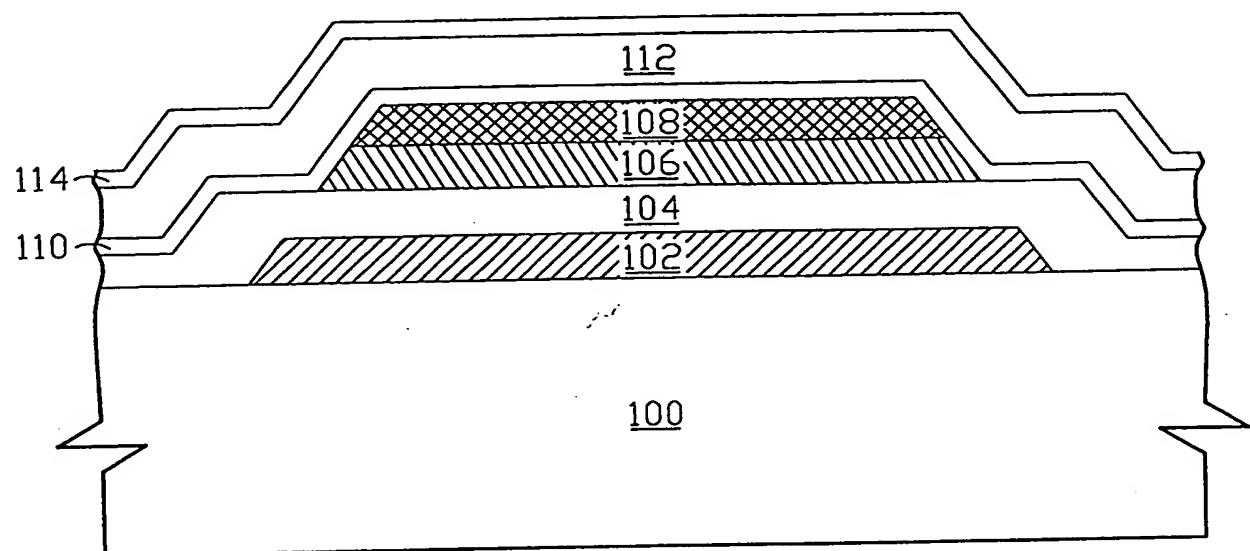


第一A圖

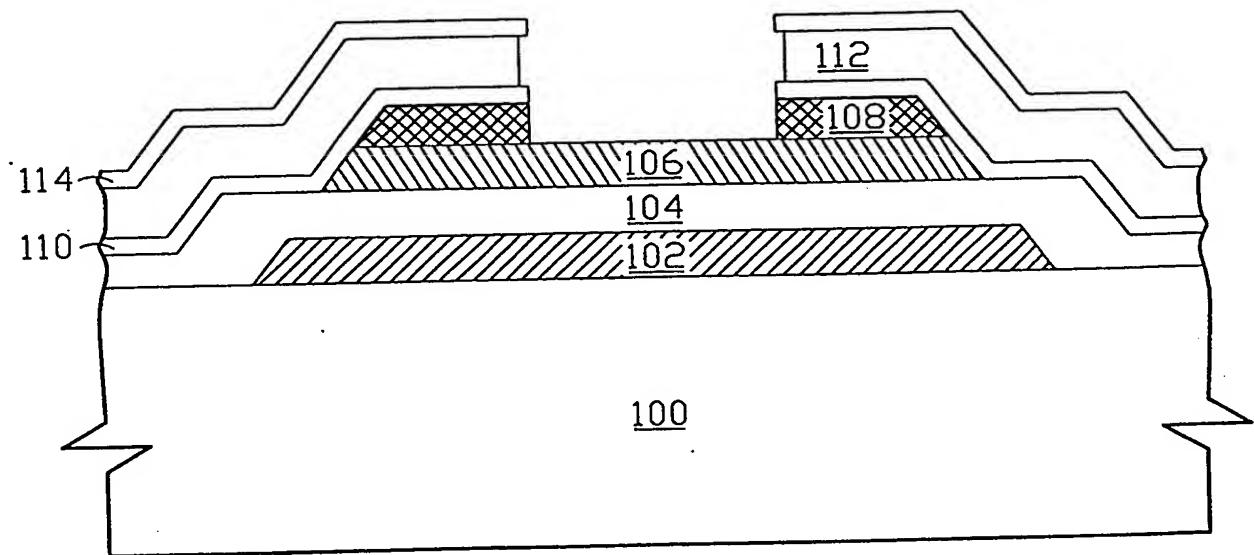


第一B圖

圖式

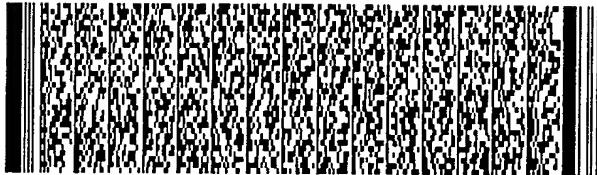


第一C圖

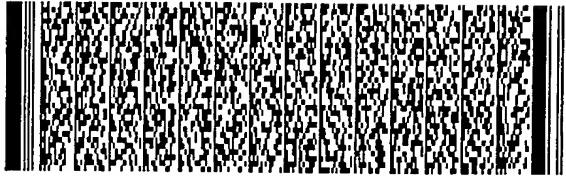


第一D圖

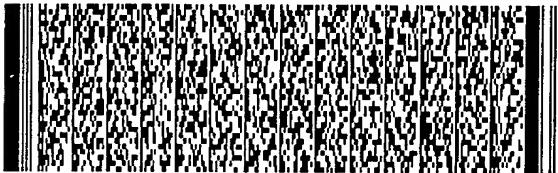
第 1/18 頁



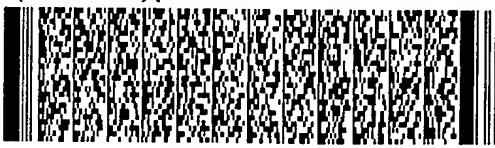
第 2/18 頁



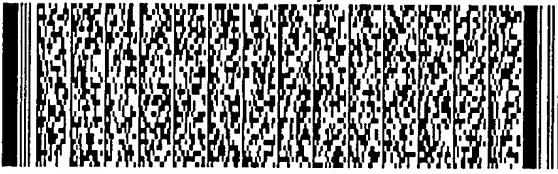
第 2/18 頁



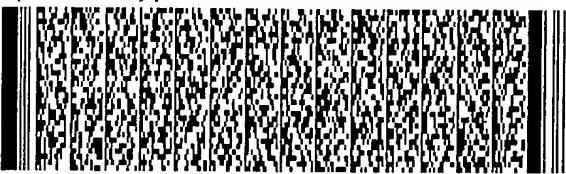
第 3/18 頁



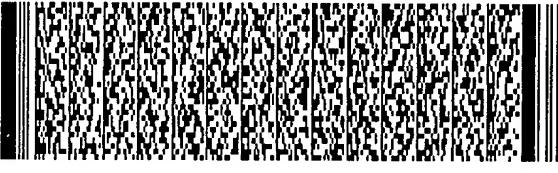
第 5/18 頁



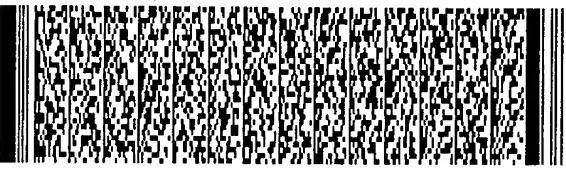
第 5/18 頁



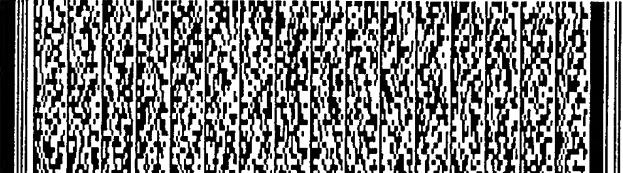
第 6/18 頁



第 6/18 頁



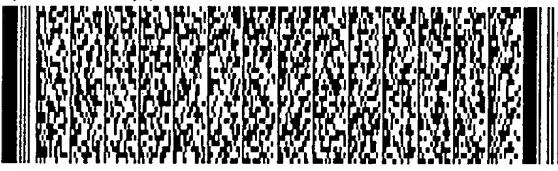
第 7/18 頁



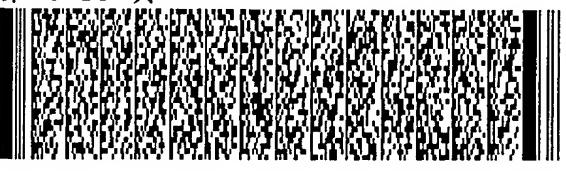
第 8/18 頁



第 8/18 頁



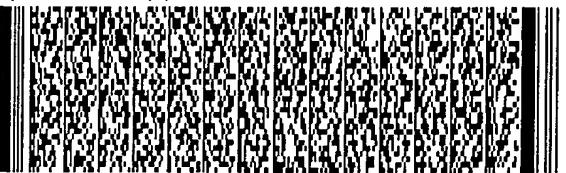
第 9/18 頁



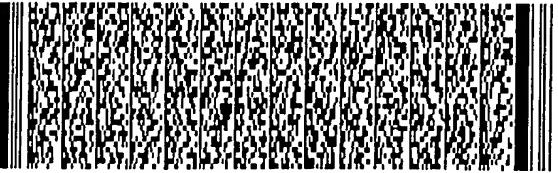
第 9/18 頁



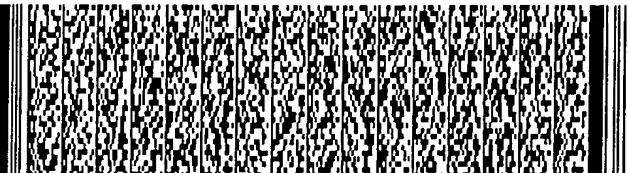
第 10/18 頁



第 10/18 頁

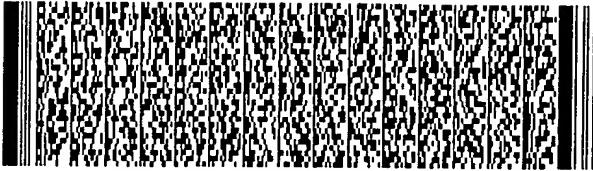


第 11/18 頁



申請案件名稱：薄膜電晶體源極/汲極結構與形成方法

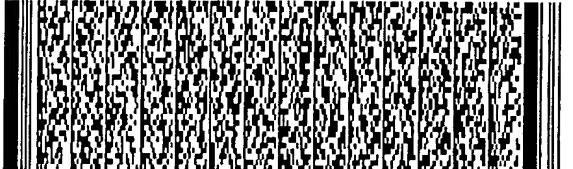
第 12/18 頁



第 13/18 頁

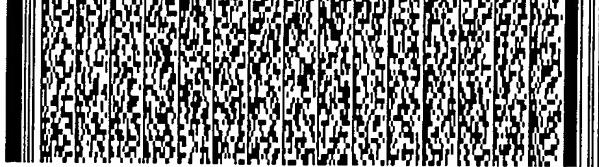


第 14/18 頁



第 15/18 頁

第 15/18 頁

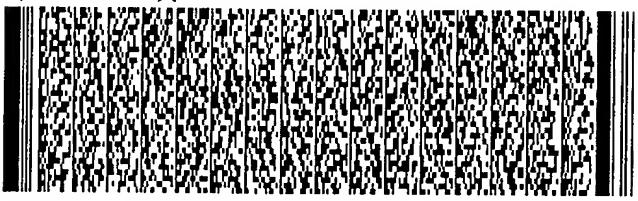


第 16/18 頁



第 17/18 頁

第 17/18 頁



第 18/18 頁

